

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PAT-NO: JP403109760A
DOCUMENT-IDENTIFIER: JP 03109760 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: May 9, 1991

INVENTOR-INFORMATION:

NAME
MINAMIDE, AKIZO
WAKAMOTO, FUSHINOBU
MAEDA, TAKAMICHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SHARP CORP	N/A

APPL-NO: JP01248540

APPL-DATE: September 25, 1989

INT-CL (IPC): H01L025/065, H01L025/07 , H01L025/18

US-CL-CURRENT: 257/777

ABSTRACT:

PURPOSE: To enhance packaging density of semiconductor chips to a package by superposing a plurality of semiconductor chips mutually so that an electrode for external connection which are formed on the same surface may be exposed in the same surface direction.

CONSTITUTION: Semiconductor chips 4 and 8 are mutually superposed so that electrodes 5 and 9 for external connection which are formed on the same plane in respective semiconductor chip 4 and 8 may be exposed in

the same surface direction. Namely, all the electrodes for external connection 5 of the chip 4 are formed on the upper surface as the same surface, are exposed toward the upper side as the same surface direction, are placed at both edge parts on the upper surface of the chip 4 along the X-direction, and are connected to an inner lead 7 by a wire 6. Also, the electrode 9 for all the external connection of the chip 8 is formed on the upper surface as the same surface and are placed along the Y-direction. Thus, it is not covered by a die pad 3 and a chip 4 and are exposed toward the upper side as the same surface direction and are connected to the inner lead 7, thus enhancing the packaging density to the package 7.

COPYRIGHT: (C)1991,JPO&Japio

⑫ 公開特許公報(A)

平3-109760

⑤Int.Cl.⁵

識別記号

庁内整理番号

④公開 平成3年(1991)5月9日

H 01 L 25/065

25/07

25/18

7638-5F H 01 L 25/08

Z

審査請求 未請求 請求項の数 1 (全5頁)

⑭発明の名称 半導体装置

⑰特 願 平1-248540

⑱出 願 平1(1989)9月25日

⑲発 明 者 南 出 彰 三 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲発 明 者 若 本 節 信 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲発 明 者 前 田 崇 道 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑲代 理 人 弁理士 川口 義雄 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

同一面に形成された複数の外部接続用の電極を夫々有し該各電極が同一面方向に露出されるように互いに重畳された複数の半導体チップと、前記複数の半導体チップが実装されたパッケージとを有してなることを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に関し、特に半導体チップがパッケージに実装された構造を有する半導体装置に関する。

〔従来の技術〕

半導体チップがパッケージに実装された構造を有する半導体装置として、デュアル・イン・ライン・パッケージ、フラットパッケージ、チップキャリア、フィルムキャリア等を用いたものが知られている。

このような半導体装置においては、一般に半導体チップをより高密度に実装することが望まれている。そこで、半導体チップをより高密度に実装するために、1つのパッケージに複数の半導体チップが平面的に配置されて実装された構造を有する半導体装置が提案されている。該半導体装置によれば、複数の半導体チップが平面的に配置されているので、半導体チップを実装する際のインナリードボンディング(パッケージのインナリードと半導体チップの外部接続用の電極との電気的な接続)工程は従来の半導体チップ1個が実装される場合と同様なボンディング技術により実施され得、よって製造が容易であるという利点がある。

〔発明が解決しようとする課題〕

しかしながら前述した従来の複数の半導体チップが実装された構造を有する半導体装置においては、複数の半導体チップが平面的に配置されているが故に、限られた底面積を持つパッケージに実装され得る半導体チップの合計底面積は限ら

れている。

本発明の目的は、半導体チップのパッケージへの実装密度が高められており製造が容易である半導体装置を提供することである。

〔課題を解決するための手段〕

本発明によれば前記目的は、同一面に形成された複数の外部接続用の電極を夫々有し該各電極が同一面方向に露出されるように互いに重畳された複数の半導体チップと、前記複数の半導体チップが実装されたパッケージとを有してなることを特徴とする半導体装置によって達成される。

〔作用〕

本発明の半導体装置によれば、重畳された複数の半導体チップがパッケージに実装されているが故に、限られた底面積を持つ該パッケージに実装され得る半導体チップの合計底面積を、従来の複数の半導体チップが実装された半導体装置の場合と比べて、少なくとも約2倍に増加し得る。夫々の半導体チップにおいて同一面に形成された複数の外部接続用の電極が同一面方向に露出される

ように複数の半導体チップが互いに重畳されているが故に、本発明の半導体装置の製造におけるインナリードボンディング工程は、同一面方向からのワイヤボンディング技術またはワイヤレスボンディング技術によりパッケージのインナリードと外部接続用の電極とを接続することにより容易に実施され得る。その結果、本発明の半導体装置は半導体チップのパッケージへの実装密度が高められ得且つ製造が容易となり得る。

次に示す本発明の実施例から、本発明のこのような作用がより明らかにされ、更に本発明の他の作用が明らかにされよう。

〔実施例〕

本発明の実施例を図面に基づいて説明する。

本発明の一実施例である半導体装置1が、第1図に平面透視図及び第2図に第1図のI-I'断面図として示されている。パッケージ本体2はモールド成型された樹脂からなる。即ち半導体装置1は樹脂モールドタイプのデュアル・イン・ライン型パッケージで構成されている。

金属からなるダイパッド3の上面に半導体チップ4の下面が接着剤によりダイボンドされている。接着剤としては、銀またはエポキシ等からなる接着剤が好ましい。チップ4の全ての外部接続用の電極5は同一面としての上面に形成され同一面方向としての上側に向けて露出されており且つX方向に沿ってチップ4の上面の両縁部に配置されている。電極5はワイヤ6により金属からなるインナリード7に接続されている。

ダイパッド3の下面に半導体チップ8の上面が耐熱性の絶縁膜12によりダイボンドされている。第1図の平面図から分かるようにチップ4よりもチップ8はX方向に長く、チップ8はX方向の両端部において第1図でダイパッド3及びチップ4により隠れることなく上側から見えるような平面形状を有している。チップ8の全ての外部接続用の電極9は、該両端部において同一面としての上面に形成され且つY方向に沿って配置されている。従って、電極9は、ダイパッド3及びチップ4により覆われることなく同一面方向としての上側に

向けて露出されており、ワイヤ10によりインナリード7に接続されている。絶縁膜12としては、ポリイミド等からなる50 μ mから100 μ mの厚みを持った膜が好ましい。絶縁膜12を設けることによりチップ4及び8の接着面に存在し得る微小なキズを介しての電気的ショートを未然に防ぐことができる。

ダイパッド3、インナリード7、チップ4及び8、ワイヤ6及び10、並びに絶縁膜12は、パッケージ本体2内に樹脂封止されている。インナリード7と一体的構造の金属からなるアウトリード11はパッケージ本体2の外側に突出しており、半導体装置1が取り付けられる図示しない基板等に設けられた配線に半田付け技術又は熱圧着技術等により電気的に接続される。尚、ダイパッド3は接地用のアウトリード11に接続されていても良く、又は接続されていなくても良い。

本実施例の半導体装置1の製造方法について以下に説明する。

まず、ダイパッド3、インナリード7、アウト

リード11及び外側フレーム部分を含む一体的構造の金属からなるリードフレームが用意される。

次に、ダイパッド3の上面に半導体チップ4が接着剤によりダイボンドされ、ダイパッド3の下面に半導体チップ8が絶縁膜12によりダイボンドされる。

次に、専用のワイヤボンディング接続用装置において、インナリード7の接続されるべき側の反対の側である下側からリードフレーム及びチップ8が押さえられた状態とされる。電極5は周知のワイヤボンディング技術により上側からワイヤ6によりインナリード7に接続される。一方、電極9は、チップ8の両端部において上側に向けて配置されており、平面図上でダイパッド3及びチップ4により覆われることなく露出しているが故に、該接続用装置により電極5の場合と同様に容易にして上側からワイヤ10によりインナリード7に接続される。

次に、以上のように組み立てられたダイパッド3、インナリード7、チップ4及び8、ワイヤ6

及び10、並びに絶縁膜12は、モールド装置にセットされて樹脂が充填され、加熱処理等により該樹脂が硬化させられてパッケージ本体2内に封止される。

次に、リードフレームの外側フレーム部分の切断及びアウトリード11の折り曲げが行われて半導体装置1が得られる。

本実施例においては、チップ4及び8が互いに同種の素子であっても良く、又は、異種の素子であっても良い。チップ4及び8が共に記憶素子であれば、従来の方式と比べてパッケージ本体2の底面積当たりの記憶量を約2倍にすることができる。

特に、チップ4がCCD等の固体撮像素子であり、チップ8が撮像信号処理用ICであり、パッケージ本体2が透明な樹脂から構成されており、パッケージ本体2内においてチップ4とチップ8とを結ぶ適当なインナリード7の配線パターン又は/及びインナリード7間のワイヤによる配線が設けられていれば、半導体装置1は撮像機能と信

号処理機能とを同時に備えた装置となり得る。この場合には、該固体撮像素子と信号処理用ICとの間に存在する配線の長さが非常に短くて済むため、特に信号処理にかかる時間を減少し得るという利点がある。更にこの場合には、ダイパッド3に信号処理用ICの遮光板としての機能を持たせることができるので半導体装置1の構造上有利である。このように本実施例において、異種の素子であるチップ4及び8の組み合わせを工夫することにより、チップ4及び8が同種の素子である場合には得られない効果が得られる。

以上の実施例においては、電極5及び9はワイヤボンディング技術によりインナリード7に接続されているが、インナリード7上又は電極5及び9上にタブ又はパンプ等が設けられて、熱圧着又は半田付け等を用いたワイヤレスボンディング技術により電極5及び9がインナリード7に接続されてもよい。また、このようにワイヤレスボンディング技術による接続を利用すれば、第1図の平面図において特に下側のチップ8の電極9が上側

のチップ4により隠れている場合でも、チップ8よりも平面形状が小さいダイパッド3を使ってダイパッド3の厚みによりチップ4とチップ8との間に隙間が形成され且つ電極9がチップ8の上面の端部において該隙間に露出するように構成すれば、該隙間にインナリード7の先端部を挿入することにより電極9とインナリード7とを接続することが可能となるという利点がある。

以上の実施例においては、電極5はX方向に沿ってチップ4の縁部に配置されており且つ電極9はY方向に沿ってチップ8の端部に配置されているが、電極9がX方向に沿ってチップ8の縁部に配置されており且つ電極5がY方向に沿ってチップ4の端部に配置されていても良い。又、電極5の一部がX方向に沿ってチップ4の縁部に配置されており、電極5の他の一部がY方向に沿ってチップ4の端部に配置されていても良い。更に、電極5及び9の両方がX方向に沿ってチップ4及び8の縁部に配置されていても良く、又、電極5及び9の両方がY方向に沿ってチップ4及び8の端

部に配置されていても良い。一つの端部または一つの縁部を電極5及び電極9が共有する場合には、特にワイヤ6とワイヤ10とを交互に配列するように構成しても良く、又は、適当な長さの一つの領域を電極5に割り当てると共に適当な長さの他の領域を電極9に割り当てても良い。いずれの実施例の場合においても製造工程において容易に電極9とインナリード7とを接続するためには電極9が第1図の平面図において見えるようなチップ4及び8並びにダイパッド3の平面形状の組み合わせを選択することが好ましい。さらに、ワイヤ6とワイヤ10とが交差せずに接続し得るように電極5及び9並びにインナリード7の配置を選択することが好ましい。

以上の実施例においては、電極5及び9は全てチップ4及び8の上面にのみ形成されており同一の方向(上側)を向いている。このため、一方の側(上側)からのみインナリードボンディングすれば良く、従ってインナリードボンディングの途中でリードフレームを裏返す等の必要がなく、且

つ接続箇所に触れることなく接続されるべき側の反対の側(下側)からリードフレーム及びチップ8を押さえるのは容易であるので、製造工程および製造コストの面からして実践的であり、大変有利である。しかしながら、電極5及び9の全てが同一の方向を向いている必要はなく、電極5及び9の一部がチップ4及び8の上面に形成されて上側を向いており、電極5及び9の他の一部がチップ4及び8の下面に形成されて下側を向いていても良い。この場合は、一方の側で既に接続された接続箇所を避けつつ該一方の側からパッケージ及び半導体チップを押さえるように構成された特殊の治具を用いて該一方の側の接続箇所を破損しないように押さえた状態で他方の側からワイヤボンディング技術又はワイヤレスボンディング技術等により接続を行うことができる。

以上の実施例においては、パッケージ本体2内には2つのチップ4及び8が実装されているが、3つ或いはそれ以上の個数の半導体チップが絶縁膜等を介して重ねられてパッケージ本体2内に実

装されていても良い。この場合にも、夫々の半導体チップにおける同一面に形成された複数の外部接続用の電極が同一面方向に露出されるように複数の半導体チップが互いに重畳されているので該電極とインナリードとの接続は前述の半導体装置1の場合とほぼ同様に容易に実施し得る。尚、この場合には、下に重ねられた半導体チップほどX方向又はY方向の長さを長くすることにより夫々のチップの電極が上から見えるように構成すれば該電極とインナリードとの接続は容易となる。又、多数の同形状の半導体チップをX方向又はY方向に少しづつずらせることにより夫々のチップの電極が上から見えるように構成しても該電極とインナリードとの接続は容易となる。

以上の実施例においては、半導体装置1の実装形態は樹脂モールドタイプのデュアル・イン・ライン型パッケージであるが、これらは、複層セラミックタイプ又はガラスセラミックタイプのデュアル・イン・ライン型パッケージであっても良く、若しくはフラットパッケージ、ピングリッドアレ

ー、チップキャリア、又はテープキャリアであっても良い。

〔発明の効果〕

本発明の半導体装置によれば、重畳された複数の半導体チップがパッケージに実装されているが故に、限られた底面積を持つ該パッケージに実装され得る半導体チップの合計底面積を増加し得る。夫々の半導体チップにおいて同一面に形成された複数の外部接続用の電極が同一面方向に露出されるように複数の半導体チップが互いに重畳されているが故に、本発明の半導体装置の製造におけるインナリードボンディング工程は容易に実施され得る。その結果、本発明によれば、半導体チップのパッケージへの実装密度が高められ且つ製造が容易である半導体装置を提供することができる。

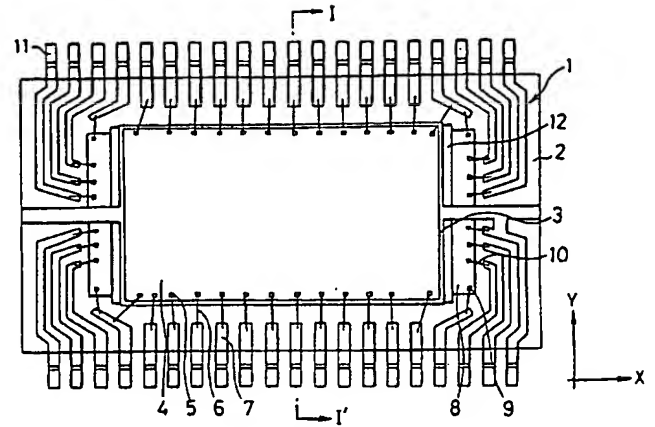
4. 図面の簡単な説明

第1図は本発明の一実施例を示す平面透視図、第2図は第1図のI-I'断面図である。

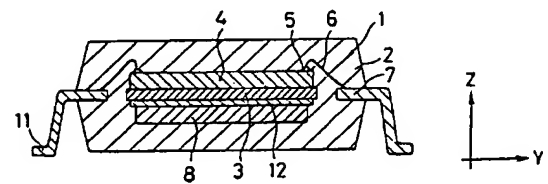
1……半導体装置、2……パッケージ本体、3……ダイパッド、4、8……半導体チップ、5、

9 …… 電極、6、10 …… ワイヤ、7 …… インナリード、11 …… アウタリード、12 …… 絶縁膜。

出願人(インバーフ)株式会社
代理人 弁理士 川口 義雄
代理人 弁理士 中村 至
代理人 弁理士 船山 武



第一圖



第 2 回